

W 1149

**COMPUTER SYSTEM AND ITS MAINTENANCE METHOD**

Patent Number: JP2002014878  
Publication date: 2002-01-18  
Inventor(s): ONO TETSURO  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP2002014878  
Application Number: JP20000197802 20000630  
Priority Number(s):  
IPC Classification: G06F13/00; G06F1/24; G06F13/36; G06F15/16; G06F15/177  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To obtain necessary failure information even when the failure of a main processor is caused by making it possible to initialize a bus bridge device from a device other than a main processor.

**SOLUTION:** A server control bus (SMB) 4 is arranged between an I/O processor 173 and host bridges 13 and 14, and the environment setting processing of the host bridges 13 and 14 by the I/O processor 173 is operated through a server control bus (SMB) 4. The server control bus (SMB) 4 is constituted as an exclusive serial bus to be used for the maintenance control of this computer system so as to be made independent of a host bus 1 and PCI buses 2 and 3. Therefore, the server control bus 4 is used so that the host bridges 13 and 14 can be initialized under the control of the I/O processor 173 even when the failure of the main processor 11 is generated.

---

Data supplied from the esp@cenet database - I2

W1149

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-14878

(P2002-14878A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト <sup>7</sup> (参考)
G 0 6 F 13/00	3 0 1	G 0 6 F 13/00	3 0 1 N 5 B 0 4 5
1/24		13/36	3 1 0 E 5 B 0 5 4
13/36	3 1 0	15/16	6 2 0 A 5 B 0 6 1
15/16	6 2 0	15/177	6 7 8 B 5 B 0 8 3
15/177	6 7 8	1/00	3 5 0 A

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願2000-197802(P2000-197802)

(22) 出願日 平成12年6月30日 (2000.6.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

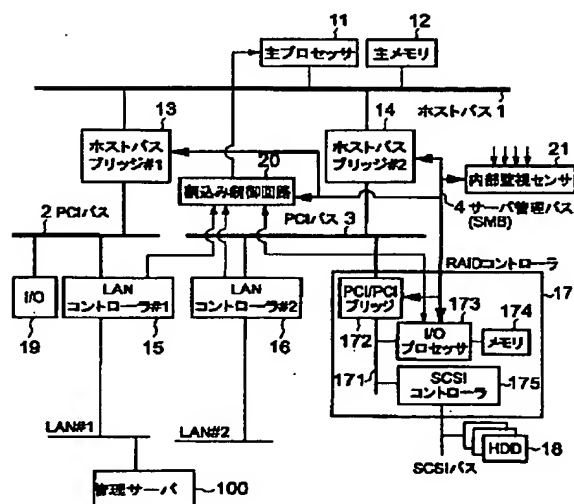
(72) 発明者 大野 哲朗

東京都青海市末広町2丁目9番地 株式会社東芝青梅工場内

# (57) 【要約】

【課題】主プロセッサ以外のデバイスからバスブリッジ装置の初期化処理を行えるようにし、主プロセッサの障害発生時にも必要な障害情報を取得できるようにする。

【解決手段】I/Oプロセッサ173とホストブリッジ13、14との間にはサーバ管理バス(SMB)4が配設されており、I/Oプロセッサ173によるホストブリッジ13、14の環境設定処理はサーバ管理バス(SMB)4を介して行われる。サーバ管理バス(SMB)4は本計算機システムの保守管理に使用される専用のシリアルバスであり、ホストバス1およびPCIバス2、3とは独立している。よって、このサーバ管理バス4を使用することにより、主プロセッサ11の障害発生時にも、I/Oプロセッサ173の制御によってホストブリッジ13、14を初期化することができる。



【特許請求の範囲】

【請求項 1】 主プロセッサと、各種デバイスが接続されるバス間を相互接続するバスブリッジ装置とを有してなる計算機システムにおいて、前記バスブリッジ装置に接続され、前記複数のバスとは独立して動作可能なシステム管理用バスと、前記主プロセッサの動作停止を伴う前記計算機システムの障害発生時に、バスを介した前記各種デバイス間の通信が可能になるように前記バスブリッジ装置の動作環境設定に必要な環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定する障害監視手段を具備することを特徴とする計算機システム。

【請求項 2】 前記障害監視手段は、前記計算機システムの稼働中に前記バスブリッジ装置からその環境設定情報を予め取得する手段を含み、前記障害発生時に、前記取得した環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定することを特徴とする請求項 1 記載の計算機システム。

【請求項 3】 主プロセッサと、各種デバイスが接続されるバス間を相互接続するバスブリッジ装置とを有してなる計算機システムにおいて、前記バスブリッジ装置に接続され、前記複数のバスとは独立して動作可能なシステム管理用バスと、前記計算機システムの I/O モジュールとして機能する I/O デバイス内に設けられ、前記主プロセッサの動作停止を伴う前記計算機システムの障害発生時に、前記バスブリッジ装置の動作環境設定に必要な環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定する I/O プロセッサとを具備することを特徴とする計算機システム。

【請求項 4】 前記 I/O プロセッサは、前記計算機システムの稼働中に前記バスブリッジ装置からその環境設定情報を予め取得する手段を含み、前記障害発生時に、前記予め取得した環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定することを特徴とする請求項 3 記載の計算機システム。

【請求項 5】 前記各種デバイスからの割り込み要求に応じて前記主プロセッサに割り込み信号を発行する割り込み制御手段をさらに具備し、前記 I/O プロセッサは、前記障害発生時に前記システム管理用バスを介して前記割り込み制御手段を制御して、前記割り込み信号の発行先を前記主プロセッサから前記 I/O プロセッサに切り替える手段をさらに含むことを特徴とする請求項 3 記載の計算機システム。

【請求項 6】 前記 I/O プロセッサは、前記バスブリッジ装置の環境設定処理を実行した後、前記バスブリッジ装置を介したバスサイクルによって前記各種デバイスから前記計算機システムの保守管理に必要な障害情報を取得する手段と、

前記取得した情報を前記複数のバスのいずれかに接続された通信デバイスを経由して外部に通知する手段とをさらに具備することを特徴とする請求項 3 記載の計算機システム。

05 【請求項 7】 主プロセッサと、各種デバイスが接続されるバス間を相互接続するバスブリッジ装置とを有してなる計算機システムの保守管理方法であって、前記主プロセッサの動作停止を伴う前記計算機システムの障害発生を検出するステップと、  
10 前記障害発生が検出されたとき、前記バスを介した前記各種デバイス間の通信が可能になるように、前記バスブリッジ装置の動作環境設定に必要な環境設定情報を前記複数のバスとは独立して動作可能なシステム管理用バスを介して前記バスブリッジ装置に設定するステップとを具備することを特徴とする保守管理方法。

【請求項 8】 前記計算機システムの稼働中に前記バスブリッジ装置からその環境設定情報を予め取得するステップをさらに具備し、  
前記障害発生を検出時には、前記取得した環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定することを特徴とする請求項 7 記載の保守管理方法。

【発明の詳細な説明】

【0001】

25 【発明の属する技術分野】本発明は計算機システムおよびその保守管理方法に関し、特にバスブリッジ装置を有する計算機システムおよびその保守管理方法に関する。

【0002】

【従来の技術】従来より、計算機システムの保守管理技術としてはサービスプロセッサ (SVP) を用いたものが知られている。サービスプロセッサは保守機能 (障害通知、情報取得、障害修復など) を実現するための専用の監視装置であり、計算機システム本体とは独立した専用ハードウェアによって実現されている。このため、計算機システム本体の障害を外部に確実に通知することはできるものの、その反面コストの増大を招くという問題がある。

【0003】ところで、最近の計算機システムにおいては、階層構造化された複数のバスが設けられているのが通常である。これら複数のバス間はバスブリッジ装置によって接続されており、互いに異なるバス上に接続されたデバイス間の通信は全てバスブリッジ装置を介して行われる。また、バスブリッジ装置にはバスアービタなどのバス制御に関する機能が内蔵されている場合が多く、  
40 この場合には同一バス上のデバイス同士であってもその間の通信には通常はバスブリッジ装置が必要とされる。

【0004】バスブリッジ装置の環境設定処理 (初期化処理) は主プロセッサ (CPU) によって行われる。このため、もし主プロセッサの動作が停止されるような障害が発生すると (主プロセッサ自体の障害、主プロセッ

サが接続されたホストバスの障害)、バスブリッジ装置の動作環境を正しく設定することができなくなる。この場合、ハードウェア的には問題の無い他の各種 I/O デバイスがバス上に存在する場合であっても、それらデバイスへのアクセスが出来なくなり、保守管理に有効な情報を取得できなくなるという問題が生じる。

【0005】

【発明が解決しようとする課題】そこで、最近では、バスブリッジ装置そのものの機能を用いずに、そのバスブリッジ装置の上位側バス/下位側バスを外部から直接アクセス制御するための仕組みが提案されている(特開平 11-259383 号公報)。

【0006】この技術では、バスブリッジ装置のバス制御機能自体は用いていないので、バスブリッジ装置自体が正常動作せずとも必要な情報をバス上のデバイスから取得できる。しかし、計算機システム本体とは独立した専用ハードウェア(サービスプロセッサ)を用意し、その専用ハードウェアがバスブリッジ装置に代わってバス制御および I/O 制御を全て行うという大がかりな構成が必要となるので、多大なコスト増を招くことになる。

【0007】本発明は上述の事情に鑑みてなされたものであり、主プロセッサ以外のデバイスからもバスブリッジ装置の初期化処理を行えるようにし、バスブリッジ装置自体の機能を用いて各種デバイスに対するアクセスを実現可能な計算機システムおよびその保守管理方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上述の課題を解決するため、本発明は、主プロセッサと、各種デバイスが接続されるバス間を相互接続するバスブリッジ装置とを有してなる計算機システムにおいて、前記バスブリッジ装置に接続され、前記複数のバスとは独立して動作可能なシステム管理用バスと、前記主プロセッサの動作停止を伴う前記計算機システムの障害発生時に、バスを介した前記各種デバイスに対するアクセスが可能になるように前記バスブリッジ装置の動作環境設定に必要な環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定する障害監視手段を具備することを特徴とする。

【0009】この計算機システムにおいては、複数のバスとは独立して動作可能なシステム管理用バスが設けられており、主プロセッサの障害発生時には、そのシステム管理用バスを介してバスブリッジ装置に対する環境設定情報の設定が行われ、これによってバスブリッジ装置が初期化される。主プロセッサの障害によりバスブリッジ装置を初期化できないような環境であっても、主プロセッサ以外のバス上の他のデバイスがハードウェア的に問題がない状態であれば、それらデバイスに対するアクセスをバスブリッジ装置自体のバス制御機能を利用して行うことが可能となる。よって、各種デバイスから保守

管理に必要な情報を取得したり、障害発生を通信用デバイスを通じて外部に通知するといった保守管理動作を容易に行うことができる。

【0010】障害発生時にバスブリッジ装置に設定する環境設定情報は、計算機システムが正常に動作している時に予めバスブリッジ装置から取得しておき、それを障害発生時に利用することが好ましい。これにより、正しい環境設定情報を容易にバスブリッジ装置に設定することが可能となる。

【0011】また、本発明は、主プロセッサと、各種デバイスが接続されるバス間を相互接続するバスブリッジ装置とを有してなる計算機システムにおいて、前記バスブリッジ装置に接続され、前記複数のバスとは独立して動作可能なシステム管理用バスと、前記計算機システムの I/O モジュールとして機能する I/O デバイス内に設けられ、前記主プロセッサの動作停止を伴う前記計算機システムの障害発生時に、前記バスブリッジ装置の動作環境設定に必要な環境設定情報を前記システム管理用バスを介して前記バスブリッジ装置に設定する I/O プロセッサとを具備することを特徴とする。

【0012】この計算機システムにおいては、その計算機システム内の通常の I/O デバイス内に設けられた I/O プロセッサにバスブリッジ装置に対する環境設定機能が搭載されており、主プロセッサの動作停止を伴う障害発生が発生すると、I/O プロセッサ側からの制御でバスブリッジ装置にその動作環境設定に必要な環境設定情報が設定される。環境設定情報の設定は、上述したように、複数のバスとは独立して動作可能なシステム管理用バスを介して行われるので、通常のバスサイクルが正常に実行できない環境下でもバスブリッジ装置を機能回復させることができる。よって、そのバスブリッジ装置の機能を利用してバス上の各種デバイスをアクセスすることができるので、計算機本体とは独立した専用ハードウェアを用いることなく、計算機システムに通常設けられているハードウェアモジュールのみにより容易に保守管理のための動作を実行することが可能となる。

【0013】また、前記 I/O プロセッサに、前記バスブリッジ装置の環境設定処理を実行した後、前記バスブリッジ装置を介したバスサイクルによって前記各種デバイスから前記計算機システムの保守に必要な障害情報を取得する手段と、前記取得した障害情報を前記複数のバスのいずれかに接続された通信デバイスを経由して外部に通知する手段とをさらに設けることにより、保守管理に必要なほとんど全ての動作を I/O プロセッサによって実現することが可能となる。また、外部への情報通知にはバス上に接続された通信デバイスを用いているので、計算機本体とは独立した保守管理専用の通信デバイスを用意する必要もない。

【0014】また、割り込み信号の発行先を主プロセッサから前記 I/O プロセッサに切り替える機構をさらに

容易することにより、各デバイスからの割り込みをI/Oプロセッサ側で処理することが可能となり、計算機システム内のハードウェア動作の制御を主プロセッサに代わってI/Oデバイス側で容易に行うことが可能となる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。図1には、本発明の一実施形態に係る計算機システムの構成が示されている。この計算機システムはサーバコンピュータとして使用されるものであり、図示のように、主プロセッサ（CPU）11、主メモリ12、第1および第2のホストバスブリッジ13、14、第1および第2のLANコントローラ15、16、RAIDコントローラ17、複数のHDDユニット18、他のI/Oデバイス19、割り込み制御回路20、および内部監視センサ21などから構成されている。

【0016】主プロセッサ（CPU）11は本計算機システム全体の動作を制御するためのものであり、主メモリ12上にロードされるオペレーティングシステムおよびアプリケーションプログラム等を実行する。ホストバスブリッジ13、14はそれぞれ主プロセッサ（CPU）11が接続されたホストバス1とPCIバス2、3間を相互接続するブリッジLSIであり、ホストバスとPCIバスと間でトランザクションを双方向で伝達する機能およびバスアービタなどを初めとするPCIバス制御機能を有している。PCIバス2、3は、各種I/Oデバイスを接続するためのI/Oバスとして用いられる。

【0017】ホストバスブリッジ13、14の各々はPCIデバイスであり、その動作環境設定に必要な環境設定情報（バスアドレス、PCIバス2、3上の各I/Oデバイスに割り当てられるI/Oアドレス空間、その他バス制御に必要な情報）は各々のホストバスブリッジ13、14内に設けられたコンフィグレーションレジスタに設定される。

【0018】ホストバスブリッジ13については、ホストバス1がプライマリーバスとなり、PCIバス2がセカンダリーバスとなる。ホストバス1上のバストランザクションで指定されるアドレスがPCIバス2上の各I/Oデバイスに対応するアドレス空間に属するとき、ホストバスブリッジ13は、ホストバス1上のバストランザクションをPCIバス2に伝達する。逆に、PCIバス2上のバストランザクションは、そのバストランザクションで指定されるアドレスがPCIバス2上の各I/Oデバイスに対応するアドレス空間に属さない時に、ホストバスブリッジ13によってホストバス1上に伝達される。

【0019】ホストバスブリッジ14については、ホストバス1がプライマリーバスとなり、PCIバス3がセ

カンダリーバスとなる。ホストバス1上のバストランザクションで指定されるアドレスがPCIバス3の各I/Oデバイスに対応するアドレス空間に属するとき、ホストバスブリッジ14は、ホストバス1上のバストランザクションをPCIバス3に伝達する。逆に、PCIバス3上のバストランザクションは、そのバストランザクションで指定されるアドレスがPCIバス3上の各I/Oデバイスに対応するアドレス空間に属さない時に、ホストバスブリッジ14によってホストバス1上に伝達される。

【0020】LANコントローラ15、16およびRAIDコントローラ17はI/Oデバイス19と同様に本計算機システムのI/Oモジュールとして設けられたPCIデバイスである。第1のLANコントローラ15はPCIバス2に接続されており、また第2のLANコントローラ16はPCIバス3に接続されている。これら第1および第2のLANコントローラ15、16はLAN接続のためのネットワークインターフェースを提供し、管理サーバ100との通信は、その管理サーバ100が存在するLANに接続された第1のLANコントローラ15を介して行われる。

【0021】RAIDコントローラ17は複数のHDDユニット18からなるディスクアレイの制御を例えばRAID5等の方式で実行するI/Oデバイスであり、図示のようにPCIバス3に接続されている。このRAIDコントローラ17は、内部PCIバス171、PCI/PCIブリッジ172、I/Oプロセッサ173、メモリ174、およびSCSIコントローラ175から構成されている。

【0022】PCI/PCIブリッジ172はPCIバス3と内部PCIバス171とを接続するブリッジである。内部PCIバス171にはI/Oプロセッサ173およびHDD制御のためのSCSIコントローラ175が接続されている。I/Oプロセッサ173はRAID制御に関する処理を行うためのプロセッサであり、メモリ174上のファームウェアに従って動作する。本実施形態においては、このI/Oプロセッサ173にホストブリッジ13、14を初めとするI/Oバス（PCIバス2、3）側に関する初期設定を行う機能、および障害通知、障害情報取得、障害修復などの障害保守機能が搭載されている。

【0023】I/Oプロセッサ173とホストブリッジ13、14との間には図示のようにサーバ管理バス（SMB）4が配設されており、I/Oプロセッサ173によるホストブリッジ13、14の環境設定処理（初期化処理）はサーバ管理バス（SMB）4を介して行われる。サーバ管理バス（SMB）4は本計算機システムの保守管理に使用される専用のシリアルバスであり、ホストバス1およびPCIバス2、3とは独立している。よって、このサーバ管理バス（SMB）4は、ホストブリ

ッジ13, 14のバス制御機能の状態およびホストバス1, PCIバス2, 3の状態に関係なく、独立して使用することができる。

【0024】サーバ管理バス(SMB)4には、さらに内部監視センサ21、割り込み制御回路20、およびRAIDコントローラ17のPCI/PCIブリッジ172も接続されており、I/Oプロセッサ173は、内部監視センサ21によって検知された本計算機システムの電源やファン等に関する情報をサーバ管理バス(SMB)4を介して取得したり、割り込み制御回路20およびPCI/PCIブリッジ172の動作をサーバ管理バス(SMB)4を介して制御することもできる。

【0025】割り込み制御回路20はLANコントローラ15, 16を初めとする各I/Oデバイスからの割り込み要求に応じて主プロセッサ11に割り込み信号を発行する。この割り込み制御回路20は、サーバ管理バス(SMB)4からの所定のコマンドに応じて、割り込み信号の発行先を主プロセッサ11からI/Oプロセッサ173に切り換え可能に構成されている。

【0026】なお、システム構成によっては、PCIバス2, 3にPCI/PCIブリッジを介して別のPCIバスがさらに接続される場合もある。また、実際には、ディスプレイコントローラやキーボードコントローラなど様々なI/OデバイスがPCIなどのI/Oバス上に接続されることになる。

【0027】本計算機システムにおいては、正常時には、主プロセッサ11がホストバスブリッジ13, 14、PCI/PCIブリッジ172、および各I/Oデバイスの初期設定(アドレス設定など)を行なう。また、各I/Oデバイスからの割り込み信号は、割り込み制御回路20経由で主プロセッサ11に伝えられ、必要なI/O処理を行なうことになる。

【0028】主プロセッサ11側で障害が発生した場合には、主プロセッサ11からI/Oプロセッサ173に対する定期的なアクセスがなくなり、I/Oプロセッサ173がタイムアウトを検出し、サーバ監視動作を開始する。I/Oプロセッサ173は、まず、サーバ管理バス(SMB)4を経由して各バスブリッジ(本例では、ホストバスブリッジ13, 14、PCI/PCIブリッジ173)の初期化を行う。この初期化のための設定情報、つまり各バスブリッジのコンフィグレーションレジスタに設定すべきコンフィグレーション情報(環境設定情報)は、予めシステム正常動作時にRAIDコントローラ17のメモリ174上に格納しておく。さらに、I/Oプロセッサ173は、サーバ管理バス(SMB)4からの制御で割り込み制御回路20の割り込み信号出力先を切り換え、主プロセッサ11に出力していた割り込み信号をI/Oプロセッサ173側に切り替える。この処理により、I/Oプロセッサ173は、主プロセッサ11に代わって各I/Oデバイスからのイベントを割り

込み信号によって受け取ることが可能となる。また、ホストバスブリッジ13, 14も初期化しているので、PCIバスサイクルの実行により、PCIデバイス2, 3上の各I/Oデバイス、および主メモリ12へのアクセスも可能である。

【0029】こうした動作状態で、I/Oプロセッサ173は、主メモリ12上の情報や、サーバ管理バス(SMB)4上の内部監視センサ21による情報、さらには各I/Oデバイスの障害情報などをPCIバスサイクルにより、あるいはサーバ管理バス(SMB)4を介して取得し、それを障害情報としてLANコントローラ15経由でLAN上の管理サーバ100に通知することができる。

【0030】次に、図2を参照して、ホストバスブリッジ13, 14をサーバ管理バス(SMB)4側から初期設定するために必要なホストバスブリッジ13, 14の構成について説明する。

【0031】図2に示されているように、ホストバスブリッジ13, 14の各々には、プライマリPCIインタフェイス201、コンフィグレーションレジスタ202、サーバ管理バスインタフェイス(SMB I/F)203が設けられている。プライマリPCIインタフェイス201は、ホストバスブリッジ13, 14のプライマリバス側、つまりホストバス1との間のインタフェイス用の回路であり、コンフィグレーションレジスタ202に対するコンフィグレーション情報の設定は通常は主プロセッサ11によって実行されるコンフィグレーションサイクルによりホストバス1側から行われる。このコンフィグレーションサイクルにตอบสนองして、必要なコンフィグレーション情報がプライマリPCIインタフェイス201を介してコンフィグレーションレジスタ202に設定される。

【0032】本例においては、コンフィグレーションレジスタ202に対するアクセスは、サーバ管理バスインタフェイス(SMB I/F)203の働きによりサーバ管理バス(SMB)4側からも行うことができる。すなわち、I/Oプロセッサ173がサーバ管理バス(SMB)4を介して特定のコマンドをサーバ管理バスインタフェイス(SMB I/F)203に発行することにより、主プロセッサ11およびホストバス1を一切使用することなく、コンフィグレーションレジスタ202からの情報取得、およびコンフィグレーションレジスタ202への情報設定をI/Oプロセッサ173の制御によりサーバ管理バス(SMB)4側から行うことができる。

【0033】また、I/Oプロセッサ173の制御により、ホストバスブリッジ13, 14自体を必要に応じてサーバ管理バス(SMB)4側からリセットする事もできる。

【0034】次に、図3を参照して、割り込み制御回路

20の構成例について説明する。

【0035】割り込み制御回路20には、図示のように、割り込み制御部211、セクタ(SEL)212、およびサーバ管理バスインタフェイス(SMB I/F)213が設けられている。割り込み制御部211は、各I/Oデバイスからの割り込み要求信号を予め決められた割り込み優先順位に従って処理することによって一つの割り込み信号を発生する。セクタ(SEL)212は、割り込み制御部211からの割り込み信号の発行先を主プロセッサ11とI/Oプロセッサ173との間で切り替えるためのものであり、通常は、割り込み信号が主プロセッサ11に出力されるように構成されている。サーバ管理バス(SMB)4およびサーバ管理バスインタフェイス(SMB I/F)213を介してI/Oプロセッサ173からの所定のコマンドを受け取ると、セクタ(SEL)212によって割り込み信号の発行先が主プロセッサ11からI/Oプロセッサ173側に切り替えられる。

【0036】次に、図4を参照して、I/Oプロセッサ173の機能構成について説明する。以下の機能のほとんどはI/Oプロセッサ173によって実行されるファームウェアによって提供されるものである。

【0037】ウォッチドッグタイマ機能部311は主プロセッサ11からの定期的なアクセスが正常に行われているか否かを監視するためのものであり、所定期間経過してもアクセスが行われない時にはタイムアウト(障害発生検出)のイベントを発行する。このタイムアウトイベントは制御処理切換部312に送られ、制御部313によって行われるI/Oプロセッサ173の処理が通常時の処理からサーバ監視処理に切り替えられる。

【0038】制御部313には、図示のように、コンフィグレーション情報取得処理部314、RAID制御機能部315、およびサーバ監視処理部316が設けられている。コンフィグレーション情報取得処理部314およびRAID制御機能部315は通常処理時に実行されるものであり、コンフィグレーション情報取得処理部314はシステム稼働中に各バスブリッジのコンフィグレーション情報を取得してメモリ174に保存する処理を実行する。サーバ監視処理部316は、障害発生時に実行されるものであり、メモリ174上のコンフィグレーション情報を用いて各バスブリッジの初期化を行う初期化処理部401、割り込み先を切り替えるための割り込み制御回路切り替え処理部402、LANコントローラ15経由で障害発生を管理サーバ100に通知するための障害通知部403、および各I/Oや主メモリ12から障害情報を取得するための障害情報取得部404などから構成されている。

【0039】次に、図5および図6のフローチャートを参照して、通常時に行われるI/Oプロセッサ173の動作について説明する。

【0040】I/Oプロセッサ173は、サーバ管理バス(SMB)4を介してホストブリッジ13、14を初めとする各バスブリッジをアクセスすることにより、それら各バスブリッジのコンフィグレーションレジスタに設定されているコンフィグレーション情報を取得する(ステップS101)。また、I/Oプロセッサ173は、必要に応じて、LANコントローラ15、16を初めとする各I/OデバイスをPCIバス経由でアクセスし、それらI/Oデバイスのコンフィグレーション情報も取得する(ステップS101)。次いで、I/Oプロセッサ173は、取得した各コンフィグレーション情報をメモリ174に保存する(ステップS103)。これらステップS101～S103の処理は、RAID制御機能を行う通常処理時における任意のタイミングで行われる。

【0041】また、通常処理時においては、図6のフローチャートに示すウォッチドッグ処理がバックグラウンドで実行される。

【0042】すなわち、図6のフローチャートに示されているように、I/Oプロセッサ173は、主プロセッサ11からの定期的なアクセスの有無を監視しており、予め決められた所定期間内に主プロセッサ11からの所定のアクセスがあるか否かを判定する(ステップS111)。主プロセッサ11による定期的なアクセスは、その主プロセッサ11が正常に動作していることを示すメッセージをI/Oプロセッサ173宛に送信するというものであり、これはオペレーティングシステムの一機能などとして実現されている。所定期間内に主プロセッサ11からのアクセスがあると、ウォッチドッグタイマ機能部311のタイマをクリアする処理が行われる(ステップS112)。

【0043】定期的なアクセスが途絶えると、ウォッチドッグタイマ機能部311はタイムアウトとなり(ステップS114のYES)、前述のサーバ監視処理機能が起動される。なお、ウォッチドッグタイマ機能部311は、I/Oプロセッサ173できなく、RAIDコントローラ17内の専用のハードウェアによって実現しても良い。

【0044】次に、図7のフローチャートを参照して、サーバ監視処理動作の具体的な手順を説明する。

【0045】サーバ監視処理においては、I/Oプロセッサ173は、まず、サーバ管理バス(SMB)4を通じてホストバスブリッジ13、14にそれぞれ対応するコンフィグレーション情報を設定して、それらホストバスブリッジ13、14の初期設定を行う(ステップS201)。次に、I/Oプロセッサ173は、サーバ管理バス(SMB)4を通じて自PCI/PCIブリッジ172に対応するコンフィグレーション情報を設定して、自PCI/PCIブリッジ172の初期設定を行う(ステップS202)。そして、I/Oプロセッサ173



は、サーバ管理バス（SMB）4を通じて割り込み制御回路20を制御することにより、割り込み信号の発行先を主プロセッサ11からI/Oプロセッサ173に切り替える（ステップS203）。この後、I/Oプロセッサ173は、第1のLANコントローラ15経由で管理サーバ100に対して障害発生を通知する（ステップS204）。この場合、I/Oプロセッサ173から管理サーバ100への障害発生通知は、自PCI/PCIブリッジ172、PCIバス3、ホストブリッジ14、ホストバス1、ホストブリッジ13、PCIバス2、およびLANコントローラ15という経路で実行される。LANコントローラ15経由での障害発生通知処理に際しては、LANコントローラ15からの割り込み信号がI/Oプロセッサ173側で処理されるので、I/Oプロセッサ173とLANコントローラ15との間の正常なデータ転送制御が可能となる。

【0046】管理サーバ100は、詳細な障害情報を取得するために、LANコントローラ15経由で障害情報取得要求メッセージをI/Oプロセッサ173に送出する。I/Oプロセッサ173は、LANコントローラ15から割り込み信号を受けたとき、LANコントローラ15をアクセスすることによって管理サーバ100からのメッセージを受信する。受信したメッセージが障害情報取得要求メッセージであるとき（ステップS205のYES）、I/Oプロセッサ173は、障害情報取得動作を開始する。

【0047】すなわち、I/Oプロセッサ173は、最初に、サーバ管理バス（SMB）4経由で内部監視センサ21から電源やファン等の状態に関する各種センサ情報を取得する（ステップS206）。次いで、I/Oプロセッサ173は、PCIバス3およびホストバス1経由で主メモリ12から各種ログなどのメモリ情報を取得する（ステップS207）。この後、I/Oプロセッサ173は、必要に応じて他の各種PCIデバイスの情報取得を行う（ステップS208）。そして、I/Oプロセッサ173は、取得した情報を障害情報としてLANコントローラ15経由で管理サーバ100に送信する（ステップS209）。

【0048】管理サーバ100は、障害情報を解析し、システム回復のために更に必要な処理をI/Oプロセッサ173に指示する。

【0049】以上のように、本実施形態によれば、I/Oプロセッサ173の制御によっての各バスブリッジを初期設定することができるので、各バスブリッジの機能を利用してバスサイクルを実行することが可能となり、障害情報の取得、通知などを容易に行うことが可能となる。

【0050】なお、本実施形態では、PCIバス2上のLANコントローラ15を通じて障害情報等の通知を行ったが、PCIバス3上のLANコントローラ16を通

じて管理サーバ100への通知を行う場合であっても、PCIバス3上のバスサイクルを正常に実行するため、あるいは主メモリ12からのメモリ情報の取得等のために、ホストバスブリッジ14の初期化は重要となる。

【0051】また、PCIバス2または3上に存在するディスプレイコントローラ経由で障害内容をディスプレイモニタに表示したり、あるいはモデムや他のデバイスを通じて外部に障害内容を通知することも可能である。さらに、障害復旧時にはLANやキーボードなどからの指示をI/Oプロセッサ173側で処理することにより、最適な処理を行うことが可能となる。

【0052】また、LANコントローラ15などのアクセス先のI/Oデバイスが動作しない場合には、それらから予め取得しておいたコンフィグレーション情報をI/Oプロセッサ173によって該当するI/Oデバイスに設定するようにしても良い。さらに、プロセッサを内蔵するI/Oデバイスであれば、RAIDコントローラに限らず、そのI/Oデバイス内のプロセッサを前述のI/Oプロセッサ173として利用することができる。

【0053】また、本発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0054】

【発明の効果】以上説明したように、本発明によれば、主プロセッサ以外のデバイスからバスブリッジ装置の初期化処理を行うことにより、バスブリッジ装置自体の機能を用いて各種デバイスに対するアクセスを実現可能となる。よって、バス制御等の機能を併せ持つ専用のハードウェアを用意することなく、計算機システムの保守管理を容易に実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る計算機システムの構成を示すブロック図。

【図2】同実施形態の計算機システムに設けられているホストバスブリッジの機能構成を示すブロック図。

【図3】同実施形態の計算機システムに設けられている割り込み制御回路の構成を示すブロック図。

【図4】同実施形態の計算機システムに設けられているI/Oプロセッサの機能構成を示す図。

【図5】同実施形態の計算機システムに設けられているI/Oプロセッサによって通常処理時に行われるコンフィグレーション情報取得動作の手順を説明するためのフ



ローチャート。

【図6】同実施形態の計算機システムに設けられているI/Oプロセッサによって通常処理時に行われるウォッチドック処理動作の手順を説明するためのフローチャート。

【図7】同実施形態の計算機システムに設けられているI/Oプロセッサによって実行される障害監視処理動作の手順をするためのフローチャート。

【符号の説明】

1…ホストバス

2, 3…PCIバス

11…主プロセッサ

12…主メモリ

13, 14…ホストバスブリッジ

15, 16…LANコントローラ

05 17…RAIDコントローラ

21…内部監視センサ

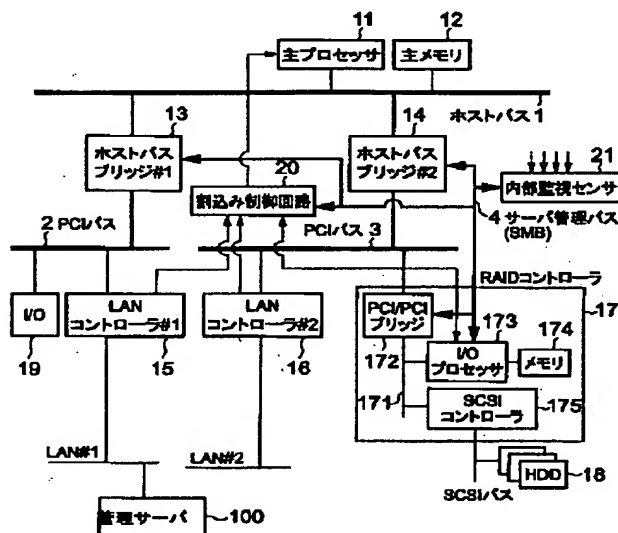
171…内部PCIバス

172…PCI/PCIブリッジ

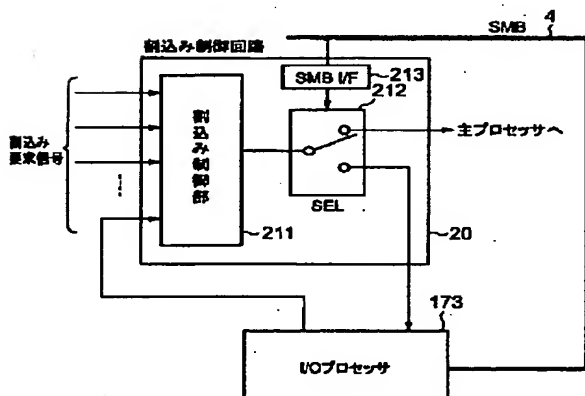
173…I/Oプロセッサ

10 175…SCSIコントローラ

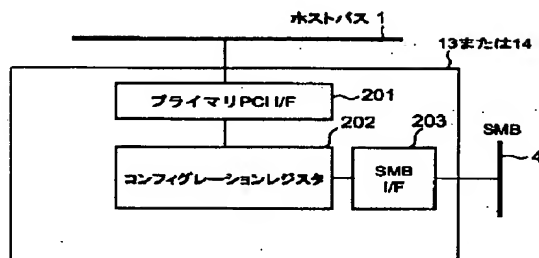
【図1】



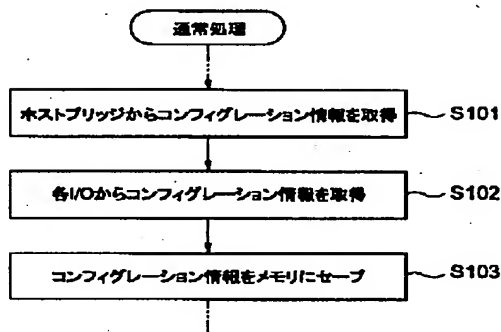
【図3】



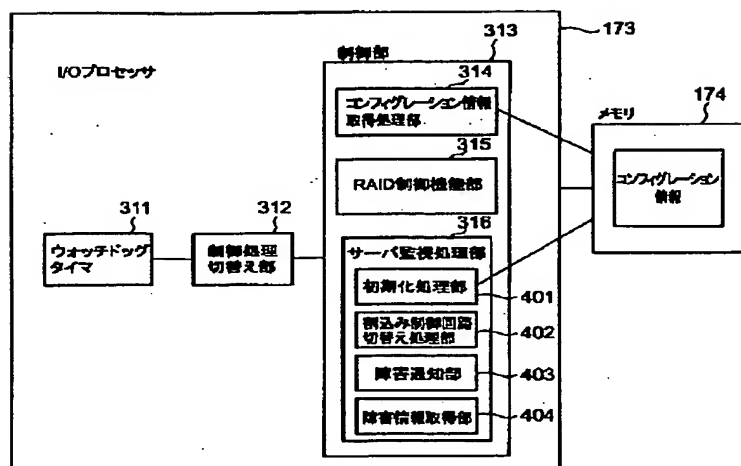
【図2】



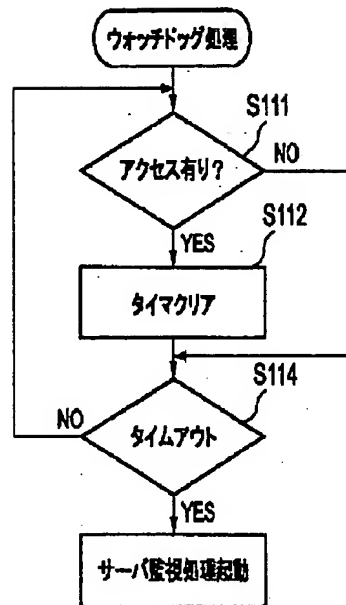
【図5】



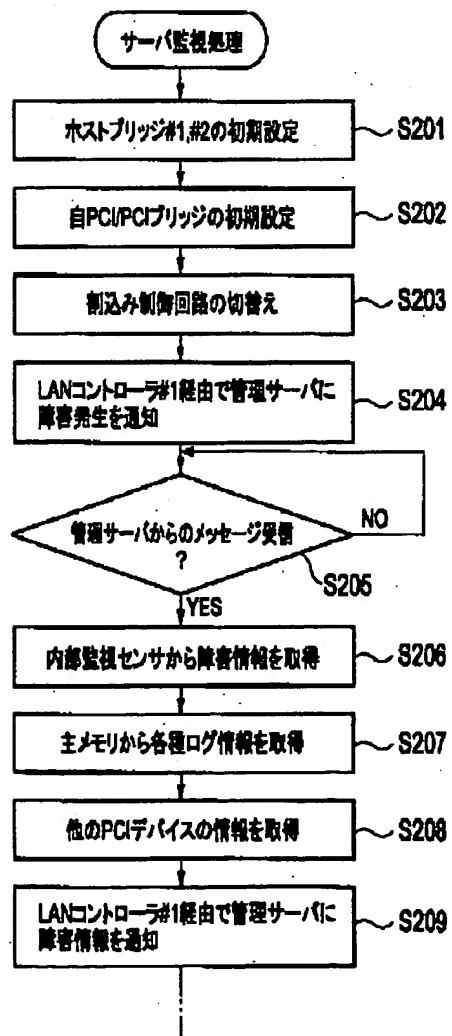
【図4】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5B045 BB14 BB25 BB28 BB30 BB47

FF03 HH06 JJ02 JJ08 JJ13

JJ28 JJ46

05

5B054 AA01 AA08 BB05 CC03

5B061 FF01 GG02 QQ06

5B083 AA08 BB01 BB03 CD07 CD10

CE01 DD10 EE02